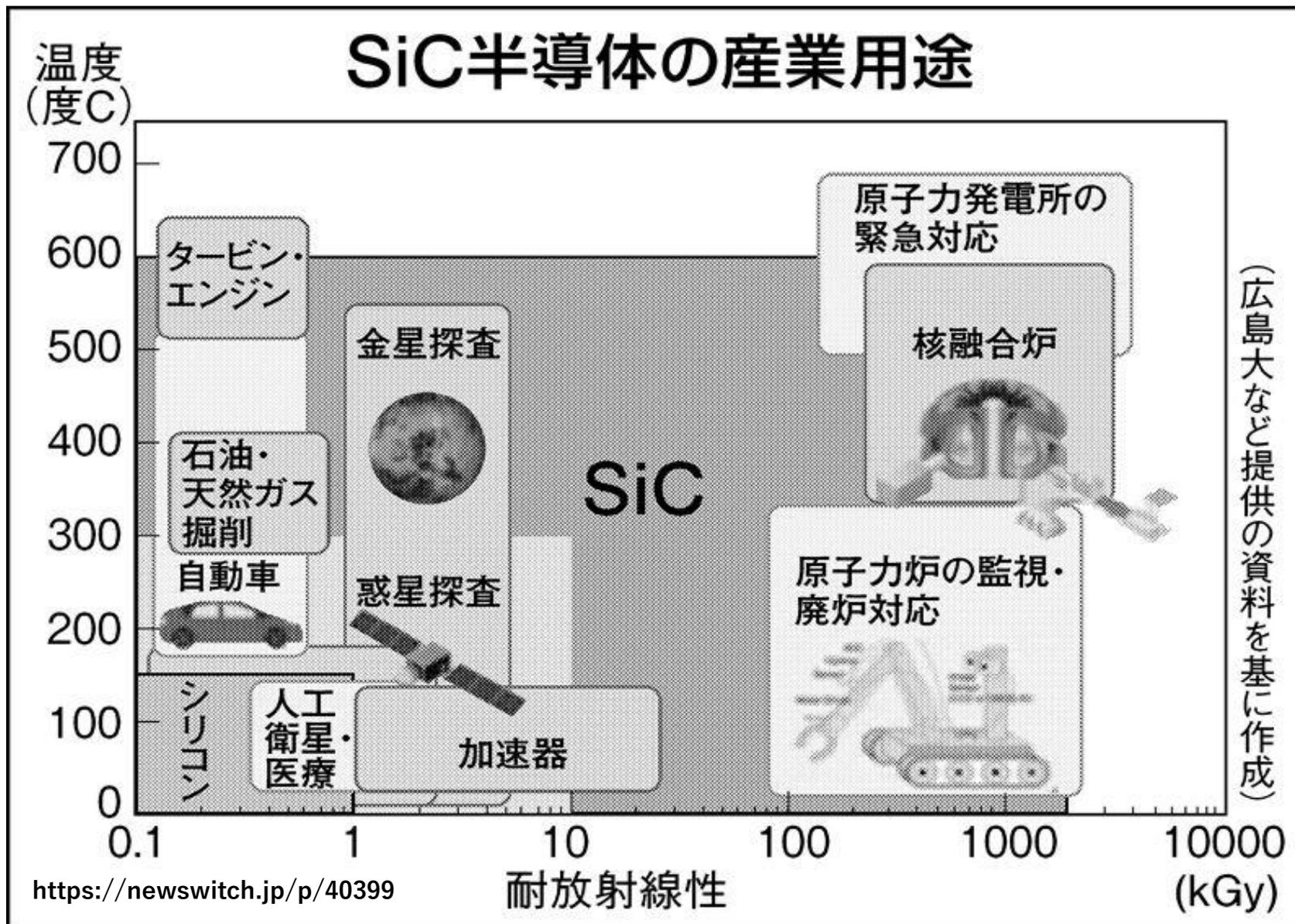


詳細は研究室ホームページをご覧ください

令和7年度 卒業論文配属説明会 (2025/4/9)

耐過酷環境SiC集積回路の研究開発

産業技術総合研究所 先進パワーエレクトロニクス研究センター・客員研究員
山梨大学 工学部工学科 電気電子工学コース・准教授
山本真幸



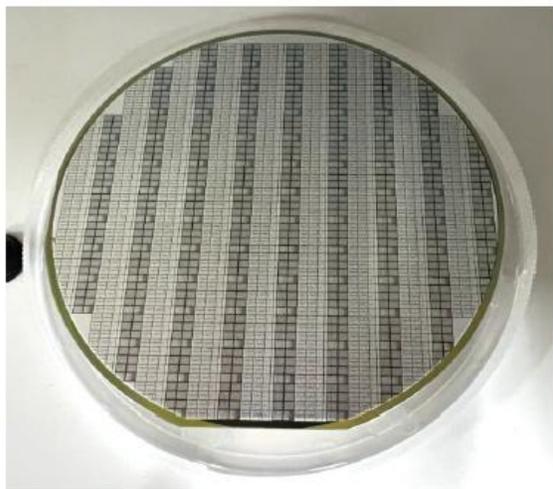
長期的目標：SiC集積回路を作製し、過酷環境下での半導体利用を実現する

SiCデバイス試作@産総研ADPERC

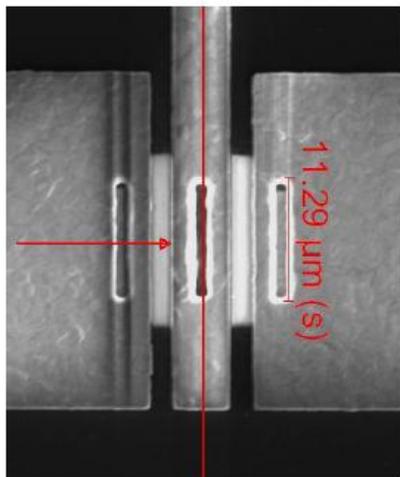


(注)2025年4月現在、クリーンルームにおけるデバイス試作は専門の技術スタッフに依頼しています³

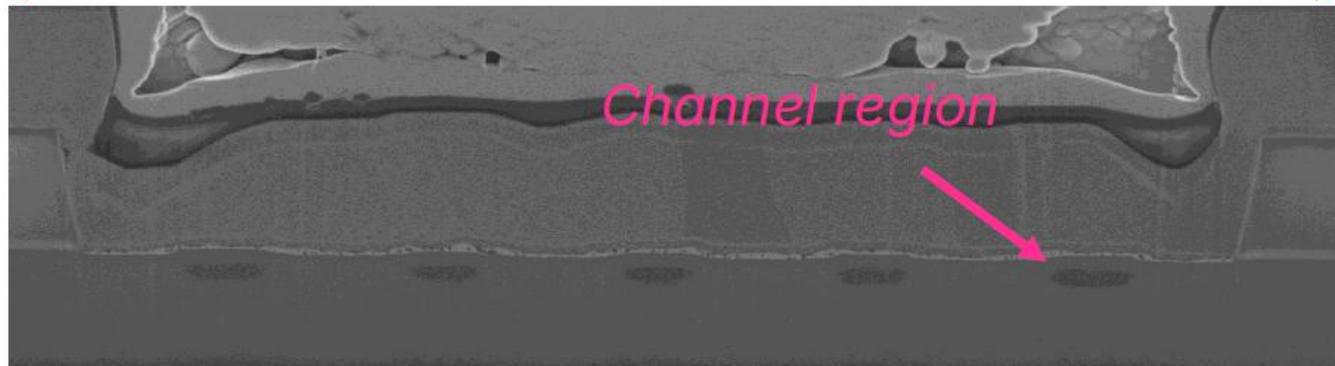
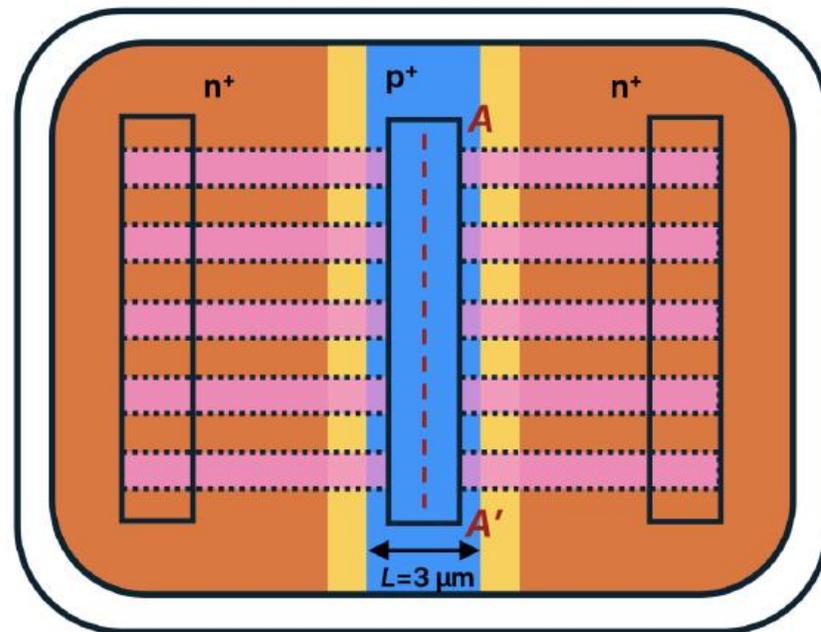
実際に作製されたデバイス



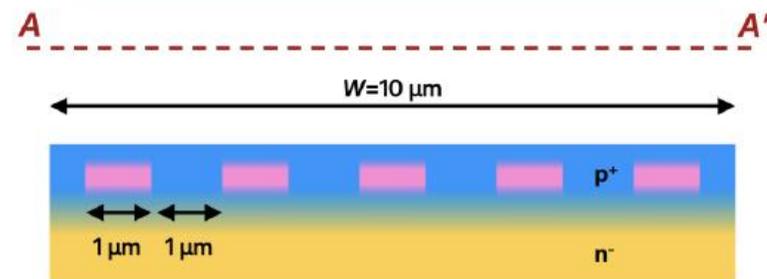
SiC GAA JFETのウエハ俯瞰図
(4インチSiCウエハ)



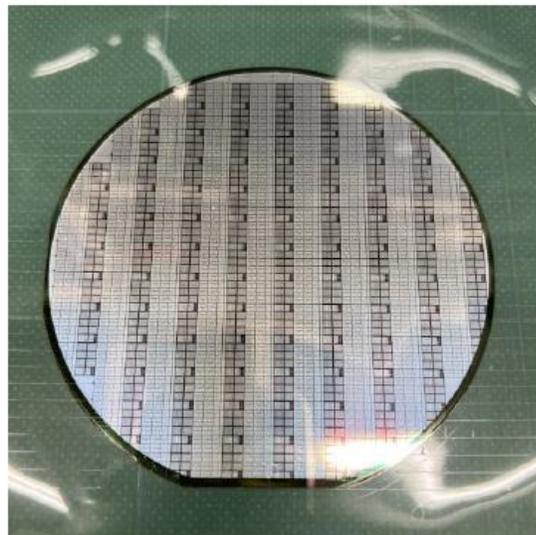
SiC GAA JFETの上面図



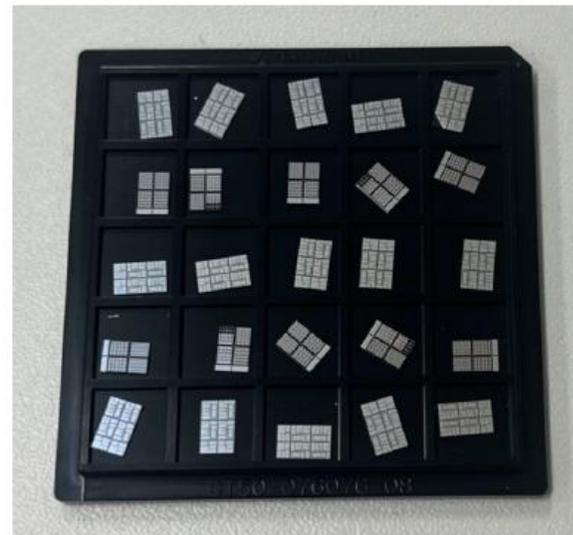
SiC GAA JFETの断面SEM画像



ダイシングによるチップ化

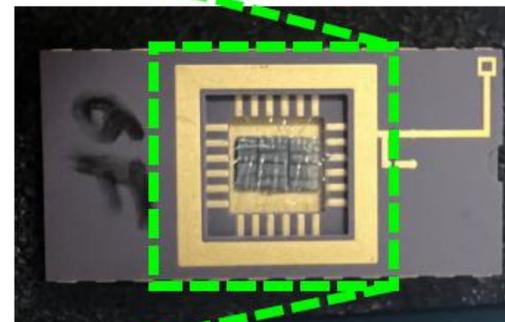
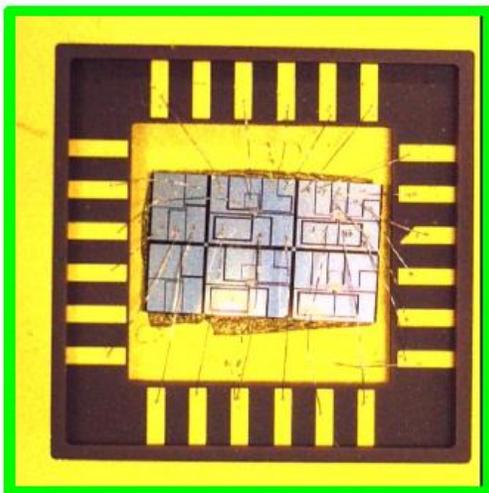


ダイシング後のウエハ

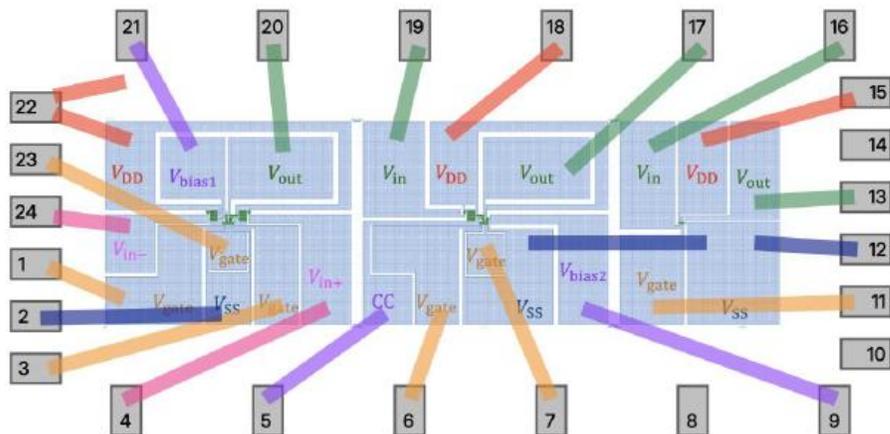


ピックアップ後のチップ(1部)

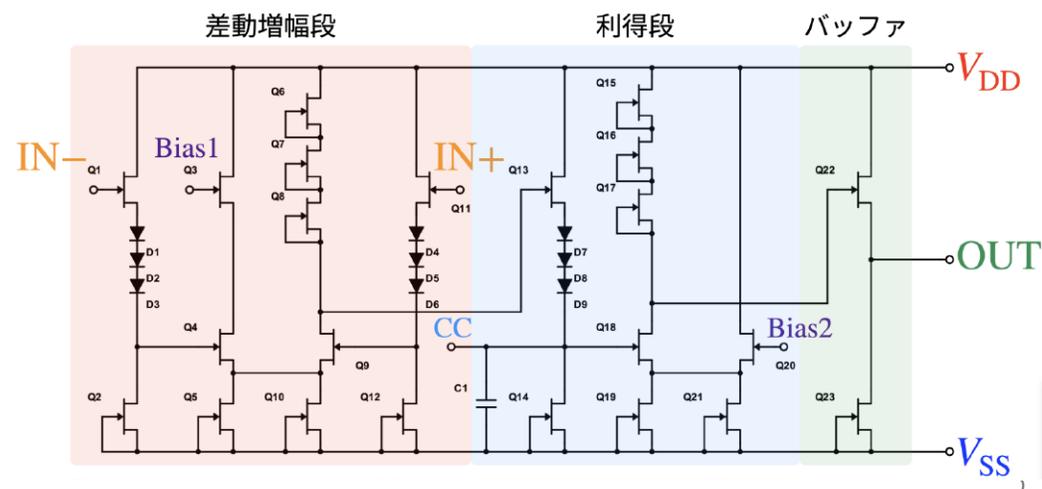
ワイヤボンディングによる配線



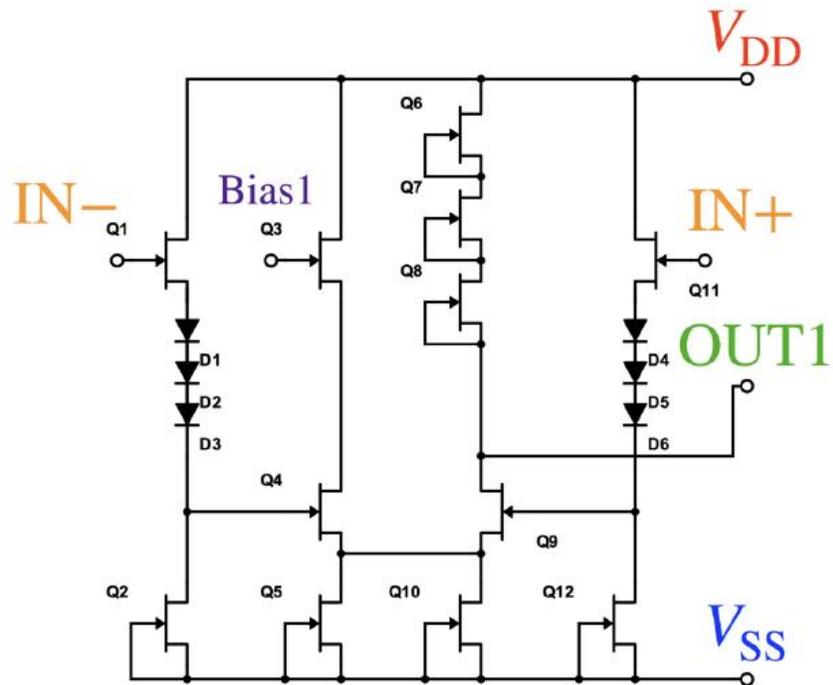
ワイヤボンディング後のチップ



チップとパッケージ間のワイヤボンディング配線図



差動増幅段 測定セットアップ



■ 入力

IN- : 振幅 200 mVpp 10 Hz ~ 100 kHz

IN+ : GND

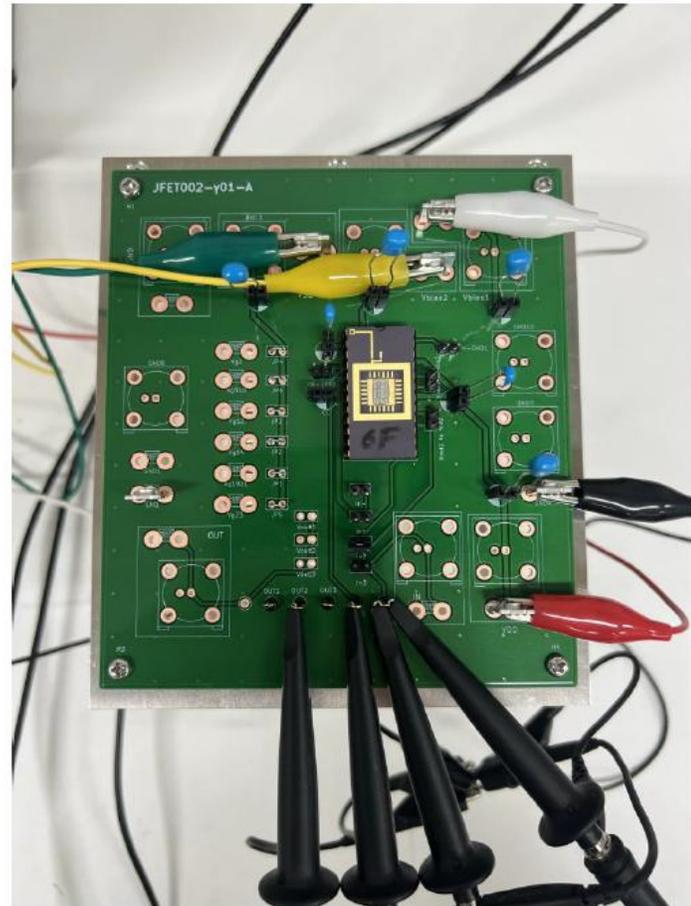
■ 電源

V_{DD} : +20 V

V_{SS} : -20 V

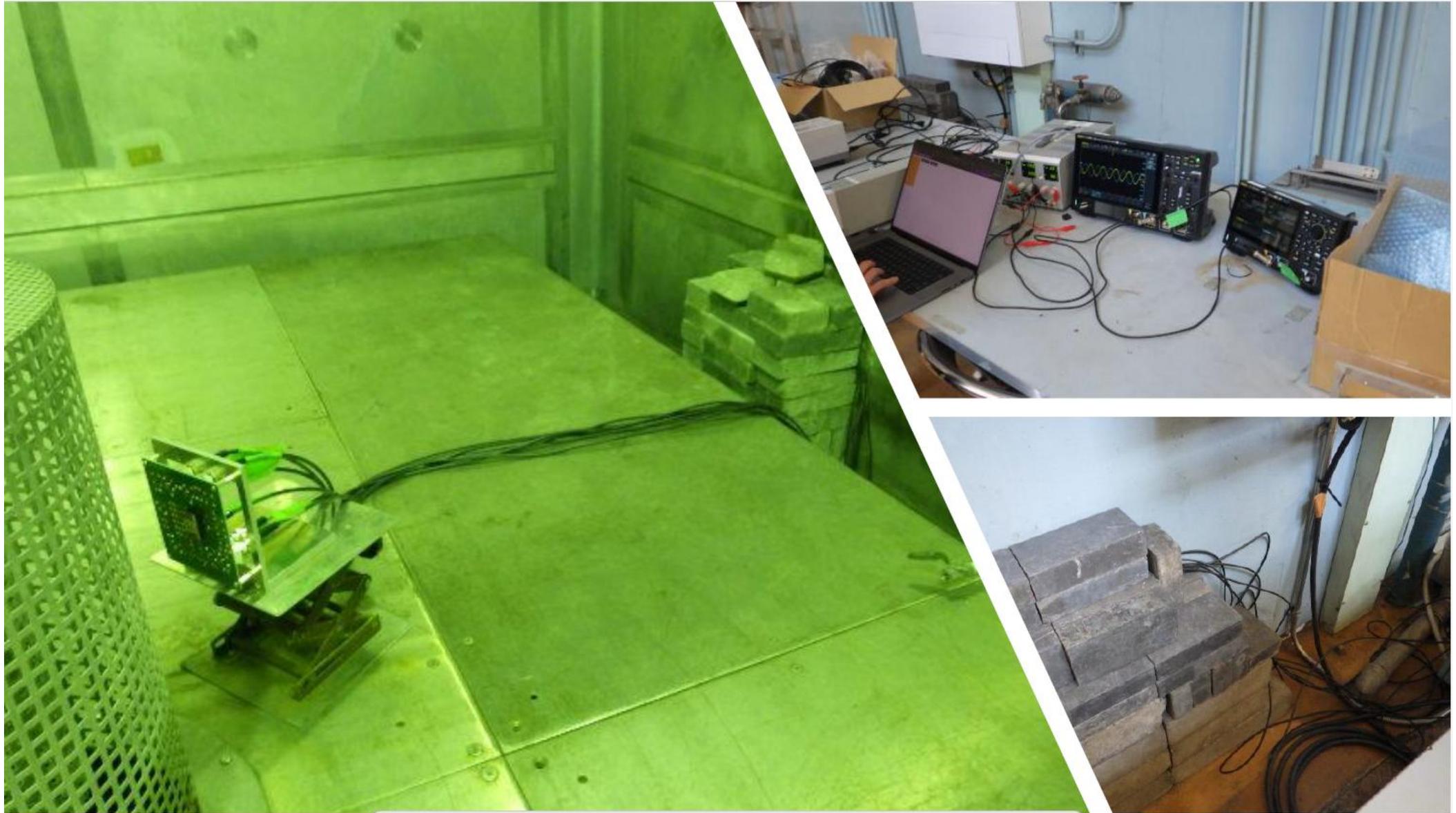
■ バイアス

Bias1 : -5 V



測定中の様子

γ 線照射実験@QST高崎



共同研究者

- 産総研 先進パワーエレクトロニクス研究センター

田中保宣, 黒岩丈晴, 中山浩二, 梅沢仁

- QST 高崎量子技術基盤研究所

大島武, 武山明憲, 牧野高紘

- 広島大学 半導体産業技術研究所

黒木伸一郎

- 山梨大学

佐藤隆英

卒業研究を通して、学部生に求めること

SiC JFET集積回路をSi CMOS集積回路を参考に設計し、回路シミュレータを用いてその特性を評価する

大学院進学後の研究に備えて勉強する



Ali Hajimiri (Academy)

@AliHajimiriChannel · チャンネル登録者数 4.07万人 · 206本の動画

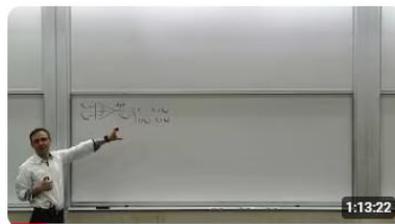
Video Recording of some of the courses taught by Professor Ali Hajimiri at California ...さらに表示

chic.caltech.edu

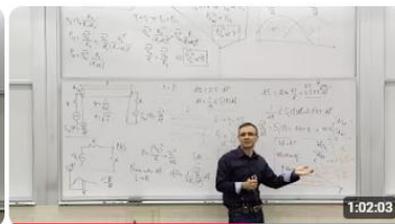
登録済み

ホーム 動画 再生リスト 投稿

おすすめ



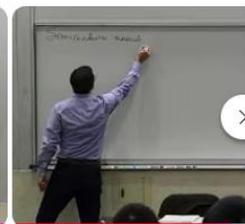
179N. Intro to comparators and offset cancellation
3万 回視聴 · 5年前



173N. Thermal white noise physics, properties, and spectrum, KT/C noise, total available noise power
2万 回視聴 · 5年前



119N. (Pt.1) Amplifier Fundamentals, MOS, BJT, and ATD (arbitrary 3-terminal device), maximum gain
2.2万 回視聴 · 6年前



101N. Basic Solid-State Physics: Electrons and Holes
22万 回視聴 · 6年前

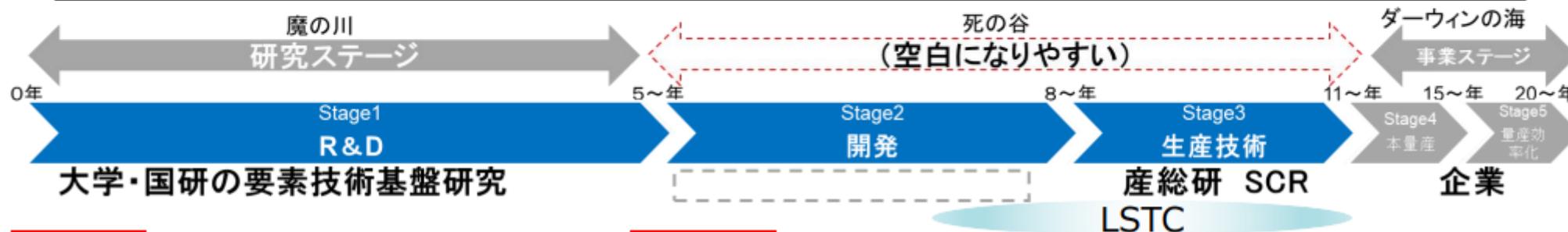
【追記】 山本研での卒業研究について

- 山本研での卒業研究では「木を見て森を見ず」という状況に陥ることを避けるために、「専門的なテーマ」よりも「全体像の把握」を重視しています。
- 山本研での卒業研究期間は「産総研のセンターでの長期インターンを目玉とした、研究室独自の半導体人材育成プログラム（3年間）の初年度」とイメージしてもらおうと分かりやすいかもしれません。
- 将来、皆さんには現場で作る・測るよりも、現場で得られた結果を解析・議論し、よりよいモノを提案する力が求められます。

參考資料

アカデミアにおける半導体研究基盤

最先端の研究開発の推進に当たっては、**空白域となりやすい「死の谷」を埋める研究環境が不可欠**。また、国内外の優秀な人材を惹きつけ、革新的なアイデア・シーズを継続的に生み出すためには、**様々な基礎・基盤研究を可能とする共用設備等の充実や、大型研究施設の活用が重要**。



課題1 どのようにして
“革新的なアイデア・シーズ”
を次々生み出すか？

課題2 どのようにして
アカデミアと産業界の間にある
“死の谷”を埋めるか？



次世代のエッジ用AI半導体の統合的研究開発
ユースケース開拓に関する研究開発



アカデミア発シーズの実証に必要な最先端設備の整備強化

- ・新規材料・技術を統合し、デバイスでの動作実証・解析評価できる最先端設備を備えた環境
- ・産・学・国研の結節点となる場



多様なシーズ創出・産学連携を支援する設備整備・共用
(半導体基盤プラットフォーム (仮称))

- ・広く共用可能な設備を有し、推進項目に関連した様々な基礎・基盤研究を可能にする環境
- ・研究開発・人材育成の裾野拡大のため、分散・ネットワーク型拠点を整備・強化
- ・長期的には国際的な産学連携による国際拠点形成を検討



大型研究施設の整備・高度化や積極活用

- ・国内外のトップ研究者を惹きつける魅力的な研究環境として、世界最高レベルの先端大型研究施設を整備・高度化し共用



今後推進すべき研究開発課題（推進項目）

他方、半導体産業が抱える基礎・基盤的な技術課題の解決や革新的な研究開発課題に取り組むため、アカデミアのシーズ創出や産学連携支援を強化することが必要。

推進項目（基礎的・基盤的な研究開発課題の解決に向け、アカデミアでのシーズ創出・産学連携を支援）

半導体産業が抱える基礎的・基盤的な技術課題の解決や革新的な研究開発課題に取り組むため、アカデミアでのシーズ創出・産学連携を支援。様々な基礎的・基盤的研究や産学連携を支援するとともに、設計・試作・検証環境（半導体プラットフォーム（仮称））を整備し、アカデミアの研究成果を速やかに産業界へつなげることを目指す。

	研究開発課題例
ロジック	差異化回路応用技術（クライオCMOS、シリコンフォトニクス等）
メモリ	大容量化、高速化、省電力化に必要な新規材料（スピントロニクス等）、評価分析技術、新原理メモリ
センサ	新原理センサ、マルチモーダル化、知能化
パワエレ	酸化ガリウム、ダイヤモンドなど次世代材料の開発、GaN、SiCの品質向上に必要な学理解明、回路や受動素子を含めた全体システムの最適化
通信	次世代通信回路・デバイス
設計	自動設計技術、シミュレーション技術、検証技術
材料	マテリアルズ・インフォマティクス等による新奇材料開発
製造装置	プラズマ制御、化学反応プロセス、計測・分析技術、シミュレーション技術 等
ファクトリー・インテグレーション	製造ラインのGXに必要なデジタルツイン技術
ユースケース	新たな半導体のユースケースの開発